

## Aufgabenblatt 11

letzte Aktualisierung: 01. February, 14:21

Ausgabe: 01.02.2002

Abgabe: 11./12.02.2002 Prozent: 100

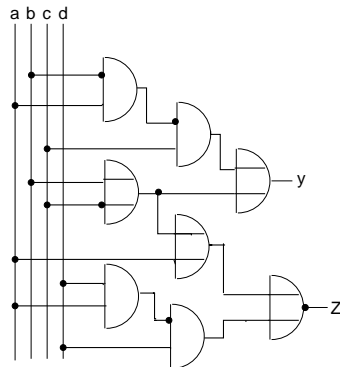
**Thema:** KV-Minimierung, Schaltnetze

Der letzte Test findet in den Tutorien am 11./12.02.2002 statt.

### 1. Aufgabe (20 Prozent): Schaltnetzanalyse

In dieser Aufgabe sollt ihr ein grundsätzliches Verständnis für Schaltnetze und deren zugehörigen Funktionen erhalten.

**1.1. Gleichung aus Schaltung herleiten (Tut)** Gegeben ist das untenstehende Schaltnetz. Bestimmt die Funktion, die das Ausgangssignal für y bestimmt!



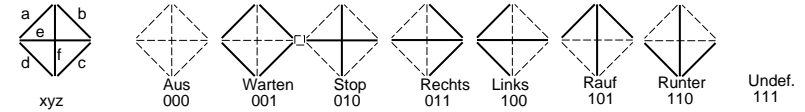
**1.2. Gleichung aus Schaltung herleiten (10 Prozent)** Bestimmt die Funktion für den Ausgang z!

**1.3. Schaltung aus Gleichung entwickeln (10 Prozent)** Zeichnet für folgende Gleichung ein Schaltnetz!

$$y = (\bar{a} \cdot c) \cdot (a + b) \cdot (b + \bar{d})$$

### 2. Aufgabe (50 Prozent): Richtungsanzeiger

Es soll ein Dekoder für eine Richtungsanzeige entworfen werden. Jeder der 6 Ausgänge treibt dabei ein Leuchtsegment, das entsprechend der Bitkombination am Eingang des Dekoders an- oder ausgeschaltet werden soll:



**2.1. Leuchtsegment a (Tut)** Entwerft eine Schaltung für das Leuchtsegment a. Geht dabei nach untenstehendem Schema vor:

1. Erstellt eine Wertetabelle für a.
2. Überträgt die Werte in eine KV-Tafel.
3. Ermittelt die minimale DNF aus der KV-Tafel.
4. Zeichnet die Schaltung (alle Gatter sind zugelassen).

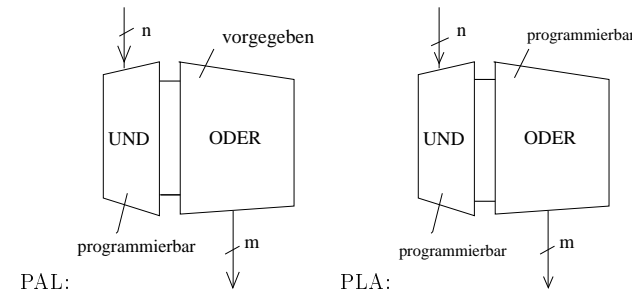
**2.2. Wertetabelle (15 Prozent)** Stellt die Wertetabelle für die Eingänge x,y,z und die Ausgänge b bis f auf!

**2.3. KV-Diagramm (20 Prozent)** Ermittelt für die Ausgänge b und e mit je einem KV-Diagramm eine minimale DNF und eine minimale KNF!

**2.4. Schaltnetzentwurf (15 Prozent)** Zeichnet für die Ausgänge b und e die entsprechenden Schaltnetze! Es sind nur NAND-Gatter mit 2 Eingängen zu verwenden. Welche Normalform eignet sich am besten zur Realisierung des Schaltnetzes?

### 3. Aufgabe (30 Prozent): ROM, Logikfelder: PAL, PLA

**3.1. Wiederholung ROM, PAL, PLA (Tut)** Welches sind die Merkmale der einzelnen Bausteine?



**3.2. Schaltnetz ROM (Tut)** Wie sieht eine Schaltung für einen ROM-Baustein aus? Entwerft eine ROM-Schaltung für die Ausgangssignale:  $a + b$ ,  $\overline{a \cdot b}$ ,  $a \rightarrow b$

**3.3. Schaltnetz PAL (Tut)** Zeichnet die Schaltung eines PAL mit der Funktion eines Volladdieres!

	$x$	$y$	$u$	$u_+$	$s$
	0	0	0	0	0
	0	0	1	0	1
	0	1	0	0	1
<b>Hinweis:</b>	0	1	1	1	0
	1	0	0	0	1
	1	0	1	1	0
	1	1	0	1	0
	1	1	1	1	1

**3.4. Schaltnetz PLA (30 Prozent)** Zeichnet die Schaltung eines Volladdierers mit Hilfe eines PLA. Welche Vorteile hat ein PLA gegenüber einem PAL? Begründet eure Antwort.

Die folgenden Aufgaben sind zur Bearbeitung in den Tutorien am 11./12.02.2002 gedacht.

#### 4. Aufgabe: Addiertechniken

**4.1. Ripple-Carry-Addierer (Tut)** Skizziert die Struktur eines 4-Bit Ripple-Carry-Addierers! Welche Schwachstelle des Addierwerkes wird sichtbar?

**4.2. Carry-Look-Ahead-Addierer (Tut)** .

**Hinweis:** Die Idee des Carry-Look-Ahead-Addierers ist es, durch eine Vorausberechnung des Übertrages die Rechenzeit zu verkürzen.

Für den  $i$ -ten Volladdierer gilt:  $u_{i+1} = x_i \cdot y_i + (x_i + y_i) \cdot u_i = G_i + P_i \cdot u_i$ , wobei

1.  $G_i = x_i \cdot y_i$  angibt, ob in der Stelle  $i$  ein Übertragungssignal erzeugt wird (Generate),
2.  $P_i = x_i + y_i$  angibt, ob die Stelle  $i$  das Übertragungssignal der vorangehenden Stelle weiterleitet (Propagate).

Gebt die Gleichungen aller Überträge eines 4-Bit-Carry-Look-Ahead-Addierers an! Worin besteht der Vorteil gegenüber dem Ripple-Carry-Addierer?

#### 5. Aufgabe: Multiplexer als Volladdierer

Zeichnet die Schaltung eines Volladdierers mit Hilfe je eines Multiplexers für Summe und Übertrag!